

**Family list**

**1** family member for:

**JP9045930**

Derived from 1 application.

**BEST AVAILABLE COPY**

**1 THIN FILM TRANSISTOR AND ITS MANUFACTURE**

Publication info: JP9045930 A - 1997-02-14

---

Data supplied from the *esp@cenet* database - Worldwide

---

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

05431130      \*\*Image available\*\*

5 THIN FILM TRANSISTOR AND ITS MANUFACTURE

PUB. NO.:      09-045930 [JP 9045930 A]

PUBLISHED:      February 14, 1997 (19970214)

INVENTOR(s):      HAYASHI HISAO

10

FUJINO MASAHIRO

YAMAZAKI MASARU

APPLICANT(s): SONY CORP [000218] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.:      07-212716 [JP 95212716]

15

FILED:      July 28, 1995 (19950728)

INTL CLASS:      [6] H01L-029/786; H01L-021/336

JAPIO CLASS:      42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R011 (LIQUID CRYSTALS); R044 (CHEMISTRY --

Photosensitive Resins); R096 (ELECTRONIC MATERIALS -- Glass

20

Conductors)

ABSTRACT

PROBLEM TO BE SOLVED: To ensure sufficient on-current of a thin film transistor while suppressing the off-current.

25

SOLUTION: A thin film transistor is provided with a laminated structure formed by laminating a semiconductor thin film 1, a gate electrode 2 provided with a prescribed pattern and a gate insulating film 3 between the film 1 and the electrode 2. The semiconductor thin film 1 is provided with

30 a channel area 4, a high concentration impurity area 5 and a low

concentration impurity area 6. The semiconductor thin film 1 is provided with an internal part IN included in the pattern of the gate electrode 2 and an external part OUT positioned outside the pattern. The channel area 4 is formed on the internal part IN, and the high concentration impurity area 5 is formed on the external part OUT. The low concentration impurity area 6 is positioned between the channel area 4 and the high concentration impurity area 5, and at least a part of the area 6 is included in the internal part IN. The on current is prevented from reducing by modulating the low concentration impurity area 6 by gate potential.

(19) 日本国特許庁 (J.P.)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-45930

(43) 公開日 平成9年(1997)2月14日

(51) Int. Cl.<sup>6</sup>

識別記号

F I

H01L 29/78

616

V

H01L 29/786

616

A

21/336

616

N

審査請求 未請求 請求項の数13 FD (全8頁)

(21) 出願番号 特願平7-212716  
 (22) 出願日 平成7年(1995)7月28日

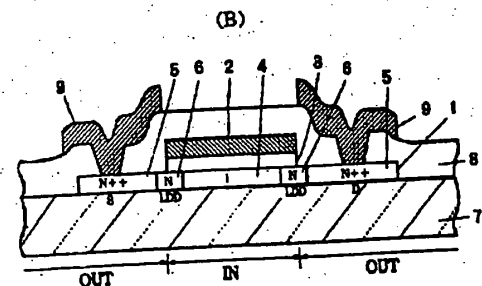
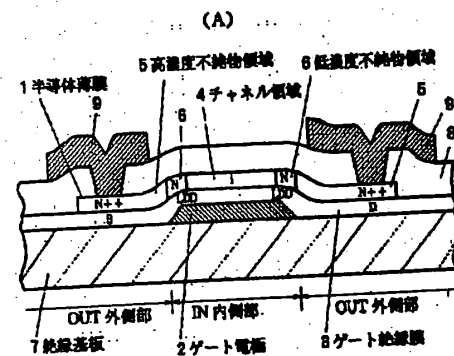
(71) 出願人 000002185  
 ソニー株式会社  
 東京都品川区北品川6丁目7番35号  
 (72) 発明者 林 久雄  
 東京都品川区北品川6丁目7番35号 ソニ  
 ー株式会社内  
 (72) 発明者 藤野 昌宏  
 東京都品川区北品川6丁目7番35号 ソニ  
 ー株式会社内  
 (72) 発明者 山崎 勝  
 東京都品川区北品川6丁目7番35号 ソニ  
 ー株式会社内  
 (74) 代理人 弁理士 鈴木 晴敏

(54) 【発明の名称】 薄膜トランジスタ及びその製造方法

(57) 【要約】

【課題】 薄膜トランジスタのオフ電流を抑制する一方十分なオン電流を確保する。

【解決手段】 薄膜トランジスタは半導体薄膜1と所定のボタンを有するゲート電極2と両者の間に介在するゲート絶縁膜3とを重ねた積層構造を有する。半導体薄膜1にはチャネル領域4、高濃度不純物領域5及び低濃度不純物領域6が設けられている。半導体薄膜1はゲート電極2のボタン内に包含される内側部INとボタン外に位置する外側部OUTとを有している。チャネル領域4は内側部INに形成され、高濃度不純物領域5は外側部OUTに形成される。低濃度不純物領域6はチャネル領域4と高濃度不純物領域5の間に位置し、且つ少なくとも一部は内側部INに包含されている。ゲート電位で低濃度不純物領域6を変調させる様にしてオン電流を下げない様している。



## 【特許請求の範囲】

【請求項1】 半導体薄膜と、所定のボタンを有するゲート電極と、両者の間に介在するゲート絶縁膜とを重ねた積層構造を有し、該半導体薄膜にチャンネル領域、高濃度不純物領域及び低濃度不純物領域を設けた薄膜トランジスタであって、

前記半導体薄膜は該ゲート電極のボタン内に包含される内側部とボタン外に位置する外側部とを有し、

前記チャンネル領域は該内側部に形成され、

前記高濃度不純物領域は該外側部に形成され、

前記低濃度不純物領域は該チャンネル領域と該高濃度不純物領域の間に位置し且つ少なくとも一部は該内側部に包含される事を特徴とする薄膜トランジスタ。

【請求項2】 前記低濃度不純物領域は、不純物濃度が $10^{14} \sim 10^{16}$ 個/cm<sup>3</sup>である事を特徴とする請求項1記載の薄膜トランジスタ。

【請求項3】 前記低濃度不純物領域は、不純物濃度がチャンネル領域から高濃度不純物領域に向う水平方向に沿って勾配を有する事を特徴とする請求項1記載の薄膜トランジスタ。

【請求項4】 前記低濃度不純物領域は、不純物濃度が半導体薄膜の深さ方向に沿って勾配を有する事を特徴とする請求項1記載の薄膜トランジスタ。

【請求項5】 前記高濃度不純物領域はチャンネル領域の両側に位置し、前記低濃度不純物領域は少なくとも一方の高濃度不純物領域とチャンネル領域との間に設ける事を特徴とする請求項1記載の薄膜トランジスタ。

【請求項6】 絶縁基板上に所定のボタンのゲート電極を形成する第1工程と、

該ゲート電極の上にゲート絶縁膜を形成する第2工程と、

該ゲート絶縁膜の上に半導体薄膜を形成する第3工程と、

該ゲート電極のボタンより内側に入るボタンで第1不純物阻止膜を該半導体薄膜の上に形成する第4工程と、  
該第1不純物阻止膜をマスクとして不純物を低濃度で該半導体薄膜にドーピングする第5工程と、

該第1不純物阻止膜のボタンを包含し且つそれよりも大面積のボタンで第2不純物阻止膜を形成する第6工程と、

該第2不純物阻止膜をマスクとして不純物を高濃度で該半導体薄膜にドーピングする第7工程とを行なう薄膜トランジスタの製造方法。

【請求項7】 前記第4工程は、該ゲート電極をマスクとして透明な絶縁基板の裏面からオーバ露光を行ない、該絶縁基板の表面に第1不純物阻止膜のボタンを設定する裏面露光処理を含む請求項6記載の薄膜トランジスタの製造方法。

【請求項8】 前記第6工程は、該ゲート電極をマスクとして透明な絶縁基板の裏面から露光を行ない、該絶縁

基板の表面に第2不純物阻止膜のボタンを設定する裏面露光処理を含む請求項7記載の薄膜トランジスタの製造方法。

【請求項9】 前記第5工程は、不純物のイオンを電界加速して該半導体薄膜中にドーピングする請求項6記載の薄膜トランジスタの製造方法。

【請求項10】 前記第7工程は、不純物のイオンを電界加速して該半導体薄膜にドーピングする請求項6記載の薄膜トランジスタの製造方法。

10 【請求項11】 前記第7工程は、不純物を高濃度で含有するドーブトシリコンを該半導体薄膜に重ねて成膜し、レーザ光を照射して不純物のドーピングを行なう請求項6記載の薄膜トランジスタの製造方法。

【請求項12】 前記第4工程は、熱変形可能なフォトレジストを用いて第1不純物阻止膜を形成し、前記第6工程は該フォトレジストをリフロー加熱して第1不純物阻止膜のボタンを拡大化し第2不純物阻止膜に転換する請求項6記載の薄膜トランジスタの製造方法。

20 【請求項13】 画素電極と、これをスイッチング駆動する薄膜トランジスタと、該薄膜トランジスタを駆動する駆動回路に含まれる薄膜トランジスタとが同一基板に集積形成された表示用薄膜半導体装置であって、

少なくとも駆動回路に含まれる薄膜トランジスタは、半導体薄膜と、所定のボタンを有するゲート電極と、両者の間に介在するゲート絶縁膜とを重ねた積層構造を有し、該半導体薄膜にチャンネル領域、高濃度不純物領域及び低濃度不純物領域を設けており、

前記半導体薄膜は該ゲート電極のボタン内に包含される内側部とボタン外に位置する外側部とを有し、

30 前記チャンネル領域は該内側部に形成され、

前記高濃度不純物領域は該外側部に形成され、

前記低濃度不純物領域は該チャンネル領域と該高濃度不純物領域の間に位置し且つ少なくとも一部は該内側部に包含される事を特徴とする表示用薄膜半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は薄膜半導体装置に集積形成される薄膜トランジスタ及びその製造方法に関する。より詳しくは、薄膜トランジスタのオフ電流を抑制し且つ十分なオン電流を確保する為の構造並びに製法に関する。

## 【0002】

【従来の技術】 近年、電子機器の小型・薄型化の為に大面積集積回路の研究が盛んになっている。例えば、アクティブマトリクス液晶テレビ、密着型ラインセンサ、サーマルプリンタヘッド等の素子が開発されている。これらの素子開発には、多結晶シリコン等の半導体薄膜を活性層として用いる薄膜トランジスタが最適であると考えられている。多結晶シリコン薄膜中に素子を作成する為に種々の改善が試みられている。一般には、小粒径シリ

コンの集合体であると考えられている多結晶膜には、多数の未結合手が存在しており、この為に電気特性が単結晶シリコントランジスタと比較して劣っている。多結晶シリコン薄膜をMOSトランジスタの活性層に用いると、ドレイン接合の耐圧が低く、また接合漏れ電流（オフ電流）が大きいうという欠点が指摘されている。ドレイン接合において、弱電界では $\text{Si}/\text{SiO}_2$  界面でのリーク電流、 $2 \times 10^{-4} \text{ V/cm}$ を超える強電界ではトンネル電流が支配的である。

#### 【0003】

【発明が解決しようとする課題】薄膜トランジスタの高耐圧化や漏れ電流の低減の為に、オフセットゲート構造が提案されている。薄膜トランジスタは多結晶シリコンからなる半導体薄膜と、所定のボタンを有するゲート電極と、両者の間に介在するゲート絶縁膜とを重ねた積層構造を有する。オフセットゲート構造では半導体薄膜にチャンネル領域、高濃度不純物領域及び低濃度不純物領域が形成されている。高濃度不純物領域はチャンネル領域の両側に位置しソース領域及びドレイン領域として機能する。低濃度不純物領域はチャンネル領域とドレイン領域との間及び/又はチャンネル領域とソース領域との間に介在し、所謂LDD領域（Lightly Doped Drain）と呼ばれている。しかしながら、このLDD領域を設けると漏れ電流を顕著に抑制できるものの、逆に駆動電流（オン電流）が低下してしまう。従来のLDD領域はゲート電極の外側にあり、ゲート電位による変調を受けない為にその分オン電流が低下する。特に、ソース領域側にこのLDD領域を設けるとオン電流が大幅に下がってしまう。かかる従来の技術の解決すべき課題は、例えば電子情報通信学会論文誌 C-II Vol. J 73-C-II No. 4 pp. 277-283 1990年4月「多結晶シリコンMOSFETにおけるドレイン接合の設計」に記載されている。

#### 【0004】

【課題を解決するための手段】上述した従来の技術の課題を解決する為以下の手段を講じた。即ち、本発明にかかる薄膜トランジスタは基本的に、半導体薄膜と、所定のボタンを有するゲート電極と、両者の間に介在するゲート絶縁膜とを有する。該半導体薄膜にチャンネル領域、高濃度不純物領域及び低濃度不純物領域が設けられてい

ものである。あるいは、前記低濃度不純物領域は不純物濃度が半導体薄膜の深さ方向に沿って勾配を有するものである。又好ましくは、前記高濃度不純物領域はチャンネル領域の両側に位置し、前記低濃度不純物領域は少なくとも一方の高濃度不純物領域とチャンネル領域との間に設ける。

【0005】本発明の他の側面では、薄膜トランジスタは以下の工程により製造される。先ず絶縁基板上に所定のボタンのゲート電極を形成する第1工程を行なう。次に該ゲート電極の上にゲート絶縁膜を形成する第2工程を行なう。続いて該ゲート絶縁膜の上に半導体薄膜を形成する第3工程を行なう。さらに該ゲート電極のボタンより内側に入るボタンで第1不純物阻止膜を該半導体薄膜の上に形成する。この後該第1不純物阻止膜をマスクとして不純物を低濃度で該半導体薄膜にドーピングする第5工程を行なう。さらに該第1不純物阻止膜のボタンを包含し且つそれよりも大面積のボタンで第2不純物阻止膜を形成する第6工程を行なう。最後に、該第2不純物阻止膜をマスクとして不純物を高濃度で該半導体薄膜にドーピングする第7工程を行なう。好ましくは、前記第4工程は該ゲート電極をマスクとして透明な絶縁基板の裏面からオーバ露光を行ない、該絶縁基板の表面に第1不純物阻止膜のボタンを設定する裏面露光処理を含む。又好ましくは、前記第6工程は該ゲート電極をマスクとして透明な絶縁膜の裏面から露光を行ない、該絶縁基板の表面に第2不純物阻止膜のボタンを設定する裏面露光処理を含む。又、前記第5工程は不純物のイオンを電界加速して該半導体薄膜中にドーピングする。同様に、前記第7工程は不純物のイオンを電界加速して該半導体薄膜にドーピングする。あるいは、前記第7工程は不純物を高濃度で含有するドーパントシリコンを該半導体薄膜に重ねて成膜し、レーザ光を照射して不純物のドーピングを行なっても良い。さらに好ましくは、前記第4工程は熱変形可能なフォトレジストを用いて第1不純物阻止膜を形成し、前記第6工程は該フォトレジストをリフロー加熱して第1不純物阻止膜のボタンを拡大化し第2不純物阻止膜に転換する方法であっても良い。

【0006】本発明は表示用薄膜半導体装置を包含している。この表示用薄膜半導体装置は画素電極と、これをスイッチング駆動する薄膜トランジスタと、該薄膜トランジスタを駆動する駆動回路に含まれる薄膜トランジスタとが同一基板に集積形成されている。少なくとも駆動回路に含まれる薄膜トランジスタは半導体薄膜と、所定のボタンを有するゲート電極と、両者の間に介在するゲート絶縁膜とを重ねた積層構造を有し、該半導体薄膜にチャンネル領域、高濃度不純物領域及び低濃度不純物領域を設けている。前記半導体薄膜は該ゲート電極のボタン内に包含される内側部とボタン外に位置する外側部とに分かれている。前記チャンネル部は該内側部に形成され、前記高濃度不純物領域は該外側部に形成される。特徴事

項として、前記低濃度不純物領域は該チャネル領域と該高濃度不純物領域の間に位置し、且つ少なくとも一部は該内側部に包含される。

【0007】多結晶シリコン等の半導体薄膜を活性層とする薄膜トランジスタではオフ電流（リーク電流）の抑制が重要であり、LDD構造が採用されている。しかしながら、チャネル領域と高濃度不純物領域との間に低濃度不純物領域（LDD領域）を介在させたLDD構造を採用するとオン電流（駆動電流）が低下する。この点に鑑み、本発明はオン電流を低下させずオフ電流を抑制する新規なLDD構造を実現している。従来のLDD構造ではLDD領域がゲートパタンよりも外側部にあり、ゲート電位による変調を受けない為その分駆動電流が下がる。特に、ソース領域側にこのLDD領域があると大きく下がってしまう。そこで、本発明ではこのLDD領域をゲートパタンの内側部に配置し、ゲート電位で変調させる様にしてオン電流を下げない様にする。

【0008】

【発明の実施の形態】以下、図1を参照して最良な発明の実施形態を説明する。（A）は本発明にかかる薄膜トランジスタの基本的な断面構造を表わしており、ボトムゲート型である。図示する様に、薄膜トランジスタは多結晶シリコン等からなる半導体薄膜1と、所定のパタンを有するゲート電極2と、両者の間に介在するゲート絶縁膜3とを重ねた積層構造を有する。本例では半導体薄膜1の下側にゲート電極2が配置しておりボトムゲート型となっている。半導体薄膜1にはチャネル領域（1（イントリンシック）領域）4と、高濃度不純物領域（N++領域）5と、低濃度不純物領域（N領域）6とが設けられている。高濃度不純物領域5はチャネル領域4の両側に位置し、夫々ソース領域S及びドレイン領域Dとして機能する。一方、低濃度不純物領域6はLDD領域となり、少なくとも一方の高濃度不純物領域5とチャネル領域4との間に介在する。本例では、LDD領域6はチャネル領域4とドレイン領域Dとの間及びチャネル領域4とソース領域Sとの間に設けられている。

【0009】半導体薄膜1はアイランド状にパタニングされており、ゲート電極2のパタン内に包含される内側部INとパタン外に位置する外側部OUTとに分かれている。チャネル領域4は内側部INに形成される一方、高濃度不純物領域5は外側部OUTに形成されている。特徴事項として、低濃度不純物領域6はチャネル領域4と高濃度不純物領域5の間に位置し且つ少なくとも一部は内側部INに包含されている。なお、図示の例では低濃度不純物領域6は全て内側部INに包含されている。好ましくは、低濃度不純物領域6はその不純物濃度が $10^{14} \sim 10^{16}$ 個/cm<sup>3</sup>に設定されている。又、低濃度不純物領域6はその不純物濃度がチャネル領域4から高濃度不純物領域5に向う水平方向に沿って勾配を有するものであっても良い。LDD領域にドレイン方向又はソー

ス方向に向って濃度分布を付ける事で、LDD領域の幅を実効的に狭くできより多くのオン電流を確保できる。あるいは、LDD領域の不純物濃度が半導体薄膜1の深さ方向に沿って勾配を有する様にしても同様の効果が得られる。なお、上述した構造を有する薄膜トランジスタは絶縁基板7の上に形成されると共に、パシベーション膜8により被覆されている。このパシベーション膜8にはソース領域S及びドレイン領域Dに連通するコンタクトホールが開口している。パシベーション膜8の上には配線9がパタニング形成されており、コンタクトホールを介してソース領域S及びドレイン領域Dに電気接続している。

【0010】ところで、ドレイン耐圧を測定する場合、ソース領域S及びゲート電極2を接地電位に近い状態に保持すると共に、ドレイン領域Dに正電位（Nチャネルトランジスタの場合）を印加する。この時、チャネル領域4とドレイン領域Dの接合部では強い蓄積層（アキュミレーション層）が形成される。この為、接合部には強い横方向電界が発生し、ブレイクダウンの原因となる。この横方向電界を弱める為にLDD領域6が介在している。従来、このLDD領域6をゲート電極2のパタンの内側部INに設けても、ゲート電位によって変調を受ける為意味をなさないと考えられていた。しかしながら、詳しく計算するとLDD領域6の不純物濃度を適切な範囲に設定すると、ゲート電位で変調されてもLDD機能を有する事が判明した。この現象を積極的に利用してゲート電位で変調させる様にしてオン電流を下げない様にするると共に、オフ電流を抑制している。

【0011】（B）はトップゲート型の薄膜トランジスタを表わしており、本発明はボトムゲート型とトップゲート型とを問わず適用可能である。なお、（A）に示したボトムゲート型の薄膜トランジスタと対応する部分には対応する参照番号を付して理解を容易にしている。図示する様に、トップゲート型では半導体薄膜1の上にゲート絶縁膜3を介してゲート電極2がパタニング形成されている。チャネル領域4はゲート電極2のパタンの内側部INに形成され、高濃度不純物領域5は外側部OUTに形成されている。低濃度不純物領域6は少なくとも一部ゲート電極2のパタンの内側部INに包含されている。

【0012】図2は薄膜トランジスタのオン電流及びオフ電流とLDD領域における不純物濃度との関係を示すグラフである。縦軸にオン電流及びオフ電流をとり、横軸に不純物濃度をとってある。カーブAONは図1の（A）に示した薄膜トランジスタのオン電流を表わし、カーブZONは従来の薄膜トランジスタのオン電流を表わしている。又、カーブAOFFは本発明にかかる薄膜トランジスタのオフ電流を示し、カーブZOFFは従来の薄膜トランジスタのオフ電流を表わしている。グラフから明らかな様に、LDD領域（N領域）の不純物濃度

を $10^{14}$ 個/cm<sup>2</sup>～ $10^{11}$ 個/cm<sup>2</sup>の間に設定する事で、本発明にかかる薄膜トランジスタはオン電流が殆ど変わらずにオフ電流が下げられる。一方、従来の薄膜トランジスタではLDD領域を設ける事によりオン電流が低下している。なお、高濃度不純物領域(N++領域)の不純物濃度は $10^{19}$ ～ $10^{21}$ 個/cm<sup>3</sup>程度に制御されている。

#### 【0013】

【実施例】図4を参照して本発明にかかる薄膜トランジスタの製造方法の好適な実施例を詳細に説明する。先ず工程(A)で、ガラス等からなる絶縁基板51の上に所定のボタンを有するゲート電極52を形成する。例えば、Ta/Mo等からなる金属膜をスパッタリングで成膜した後、フォトリソグラフィ及びエッチングにより金属膜をパタニングしてゲート電極52に加工する。この段階で1枚目のフォトマスクを使用する。

【0014】工程(B)に進み、ゲート電極52の上にゲート絶縁膜53を形成する。例えば、CVDによりSiO<sub>2</sub>を成膜してゲート絶縁膜53とする。あるいは、SiO<sub>2</sub>に代えてP-SiNを用いても良い。さらに、P-SiNとSiO<sub>2</sub>の積層膜をゲート絶縁膜としても良い。続いて、非晶質シリコンからなる半導体薄膜54をCVD法により成膜する。この半導体薄膜54にレーザ光を照射して一旦溶融化した後冷却過程で非晶質シリコンを多結晶シリコンに転換する。さらに、フォトリソグラフィ及びエッチングにより半導体薄膜54をアイランド状にパタニングして薄膜トランジスタの素子領域(活性層)とする。この段階で第2のフォトマスクを使用する。

【0015】工程(C)に進み、SiO<sub>2</sub>をCVDにより50nmの厚みで成膜し保護膜55を形成する。続いて、ゲート電極52のボタンより内側に入るボタンで第1不純物阻止膜56を半導体薄膜54の上に保護膜55を介して形成する。具体的には、ゲート電極52をマスクとして透明な絶縁基板51の裏面からオーバ露光を行ない、絶縁基板51の表面に第1不純物阻止膜56のボタンを設定している。さらに具体的には、フォトレジストを塗布した後裏面からのオーバ露光を行なう事でセルフアライメントによりフォトレジストを第1不純物阻止膜56に加工している。これにより、極めて精度良く第1不純物阻止膜56をパタニングできるばかりでなく、ゲート電極52をマスクとしたセルフアライメント方式なので何等フォトマスクを必要としない。ゲート電極52に対する第1不純物阻止膜56のアライメント精度は極めて高くなる。引き続いて、第1不純物阻止膜56をマスクとして不純物を低濃度で半導体薄膜54にドーピングしN領域を形成する。例えば燐等の不純物のイオンを電界加速して半導体薄膜54中にドーピングする。この後使用済みになった第1不純物阻止膜56を剥離する。

【0016】工程(D)に進み、第1不純物阻止膜56のボタンを包含し且つそれよりも大面積のボタンで第2不純物阻止膜57を形成する。具体的には、ゲート電極52をマスクとして透明な絶縁基板51の裏面から露光を行ない、絶縁基板51の表面に第2不純物阻止膜57のボタンを設定する裏面露光処理を行なう。さらに具体的には、保護膜55の表面にフォトレジストを塗布した後裏面露光を行なってセルフアライメントによりフォトレジストを第2不純物阻止膜57に加工している。この時、露光量を調整する事で、第1不純物阻止膜56より大面積の第2不純物阻止膜57を形成できる。例えば、オーバ露光ではなくジャスト露光を行えば良い。さらに、第2不純物阻止膜57をマスクとして不純物を高濃度で半導体薄膜54にドーピングし、N++領域を設ける。具体的には、燐等の不純物のイオンを電界加速して保護膜55を介し半導体薄膜54にドーピングする。この後不要になった第2不純物阻止膜57を剥離する。以上により、ボトムゲート型薄膜トランジスタのソース領域S及びドレイン領域D(N++領域)とLDD領域(N領域)が形成される。図から明らかな様に、LDD領域はチャンネル領域とソース領域Sとの間及びチャンネル領域とドレイン領域Dとの間に設けられ、且つゲート電極52のボタンの内側部に包含される。

【0017】工程(E)に進み、ボトムゲート型の薄膜トランジスタを層間絶縁膜58で被覆する。例えば、SiO<sub>2</sub>をCVDにより成膜して層間絶縁膜58とする。続いてCVDによりP-SiNを成膜しキャップ膜59とする。この状態で例えば350℃程度のアニールを行ない、層間絶縁膜58に含有されていた水素を半導体薄膜54に拡散する。この水素化処理により薄膜トランジスタの特性が改善できる。なお、キャップ膜59は緻密な組成を有しており水素の外方拡散を抑制している。この後フォトリソグラフィ及びエッチングによりソース領域S及びドレイン領域Dに連通するコンタクトホールを開口する。この段階で3枚目のフォトマスクを使用する。

【0018】この後電極形成工程等を行なって薄膜半導体装置が完成する。完成状態を図5に示す。前工程でコンタクトホールを開口した後金属をスパッタリングで成膜する。本例ではアルミニウムとモリブデンを2層に重ねて成膜している。フォトリソグラフィ及びエッチングによりこの金属膜をパタニングして配線電極60に加工する。この段階で4枚目のフォトマスクを使用する。続いて感光性のアクリル樹脂等を塗布して平坦化膜61を設け、薄膜トランジスタや配線電極60の凹凸を埋める。さらにフォトリソグラフィにより平坦化膜61を選択的にエッチングしコンタクトホールを開口する。この段階で5枚目のフォトマスクを使用する。最後に、平坦化膜61の上にITO等の透明導電膜をスパッタリングにより成膜し、フォトリソグラフィ及びエッチングで所



定の形状にパタニングして画素電極6,2に加工する。この段階で6枚目のフォトマスクを使用する。以上により、表示用薄膜半導体装置には画素電極6,2とこれを駆動する薄膜トランジスタが集積形成される。さらに、図示しないが周辺の駆動回路を構成する薄膜トランジスタも同一の絶縁基板5,1上に集積形成される。以上の様に、本発明にかかる製造方法では6枚のフォトマスクのみを用いて表示用薄膜半導体装置を作成できる。平坦化膜6,1を省略する場合には5枚のフォトマスクのみを使用すれば良い。

【0019】図3は、図4の工程(C)及び(D)に示した裏面露光処理における露光量とオフセット幅との関係を示している。このオフセット幅はゲート電極5,2のボタンよりも内側に入り込む不純物阻止膜5,6,5,7の幅を表わしている。なお、このグラフは露光エネルギーを $15\text{mW}/\text{cm}^2$ に設定し不純物阻止膜の材料としてポジ型のフォトレジストOFPR-800を用いた場合である。絶縁基板としてはガラス(コーニング7059)を用いている。又、ゲート絶縁膜は $\text{SiN}_x$ (50nm)と $\text{SiO}_2$ (200nm)の積層構造を用い、半導体薄膜は30nmの多結晶シリコンを用いている。グラフから明らかな様に、露光時間を20sに設定した時、露光量が $300\text{mJ}/\text{cm}^2$ となり、ジャスト露光の条件が得られオフセット幅は零である。これに対し、例えば露光時間を50s程度に設定すると露光量が $800\text{mJ}/\text{cm}^2$ 程度となりオーバー露光の条件が得られオフセット幅は $1\mu\text{m}$ 程度になる。この様に、露光時間を制御する事でオフセット幅が正確に設定でき、ばらつきの少ないLDD領域幅が実現できる。なお、ゲート電極をマスクとしたセルフアライメントによる裏面露光を採用しないで、フォトマスクを用いた表面側からの露光によりフォトレジストを不純物阻止膜に加工する事はできる。しかしながらこれでは必ずアライメント誤差が生じる為ソース領域側とドレイン領域側でLDD領域の幅が異なってしまう。あるいは、個々の薄膜トランジスタ間でLDD領域の幅がばらついてしまう。

【0020】図6は、図5に示した表示用薄膜半導体装置を駆動基板として用いたアクティブマトリクス型表示パネルの一例を示す模式的な斜視図である。図示する様に、本表示パネルは駆動基板101と対向基板102と両者の間に保持された液晶103とを備えたフラット構造を有する。駆動基板101には画面部104と周辺部とが集積形成されている。周辺部は垂直駆動回路105と水平駆動回路106とを含んでいる。これらの駆動回路は本発明に従ったLDD構造を備えた薄膜トランジスタにより構成されている。駆動基板101の周辺部上端には外部接続用の端子部107が形成されている。端子部107は配線108を介して垂直駆動回路105及び水平駆動回路106に接続している。画面部104は行列状に交差したゲート配線109及び信号配線110を

含んでいる。各交差部には画素電極111とこれをスイッチング駆動する薄膜トランジスタ112が形成されている。ゲート配線109は垂直駆動回路105に接続し、信号配線110は水平駆動回路106に接続している。薄膜トランジスタ112のドレイン領域は対応する画素電極111に接続し、ソース領域は対応する信号配線110に接続し、ゲート電極は対応するゲート配線109に連続している。かかる構成において、少なくとも駆動回路105,106に含まれる薄膜トランジスタはそのLDD領域がゲート電極パタンの内側部に包含されている。一般に、画素電極を駆動するスイッチング用の薄膜トランジスタは画素電極に書き込まれた信号電荷を1フィールド期間に渡って保持する為オフ電流(リーク電流)を厳しく抑制する事が重要である。これに対し、駆動回路を構成する薄膜トランジスタはオフ電流を抑制する点に加え、大きなオン電流を確保して駆動能力を改善する事が重要である。特に、高速駆動回路ではオン電流の絶対値を大きくするばかりでなく個々の薄膜トランジスタ間でオン電流のばらつきを $\pm 20\%$ 以下に制御する事が必須である。この点、本発明によればLDD領域をゲート電極パタンの内側に内包する事で十分なオン電流を確保している。さらに、前述した裏面からのオーバー露光処理を行なって個々の薄膜トランジスタのLDD領域幅を精度良く制御しておりオン電流のばらつきが少ない。

【0021】図7は第1不純物阻止膜及び第2不純物阻止膜の形成方法の他の実施例を示す模式的な断面図である。なお、図4と対応する部分には対応する参照番号を付して理解を容易にしている。工程(A)は図4の工程(C)と同様であり、ゲート電極5,2をマスクとした裏面からのオーバー露光により第1不純物阻止膜5,6を形成している。ただ、不純物阻止膜5,6の材料として熱変形可能なフォトレジストを用いる点で異なっている。この後工程(B)に進み、熱変形可能なフォトレジストをリフロー加熱して第1不純物阻止膜5,6のボタンを拡大化し第2不純物阻止膜5,7に転換している。リフロー加熱は例えば $140^\circ\text{C}\sim 180^\circ\text{C}$ の温度にて行なわれる。この様に、本実施例では裏面からの露光処理により第2不純物阻止膜を形成する代わりに、リフロー加熱で第1不純物阻止膜5,6を第2不純物阻止膜5,7に転換しており製造工程が簡略化できる。又、このリフロー加熱は加熱温度や加熱時間を制御する事で、拡大幅を精密に制御でき、従ってLDD領域幅をばらつきなく作り込む事が可能である。

【0022】図8はソース領域S及びドレイン領域Dの形成方法の他の例を示す模式的な断面図である。本例は、図4の工程(D)に示したイオンドーピングに代えて熱拡散法により不純物を高濃度で半導体薄膜に導入している。なお、図4の工程(D)と対応する部分には対応する参照番号を付して理解を容易にしている。本例で

は、不純物を高濃度で含有するドーパントシリコン70を半導体薄膜54に重ねて成膜し、レーザ光を照射して不純物のドーピングを行なっている。この関係で、第2不純物阻止膜57はフォトリソに代え耐熱性を有するSiO<sub>2</sub>を用いている。この第2不純物阻止膜57は、ドーパントシリコン70をエッチングして配線電極に加工する際のエッチングストップとしても機能する。本例ではレーザドーピングを用いて不純物を半導体薄膜54に拡散すると共に同時に活性化している。

#### 【0023】

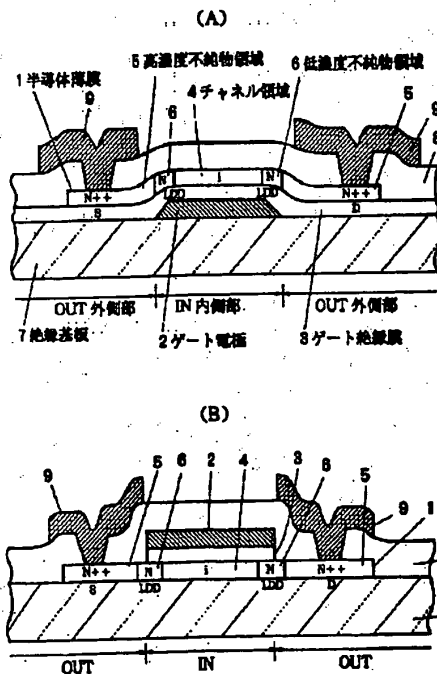
【発明の効果】以上説明した様に、本発明によれば、薄膜トランジスタのLDD領域は少なくとも一部ゲート電極パタンの内側部に包含されており、オフ電流を抑制すると共に十分なオン電流の確保を可能にしている。又、ゲート電極をマスクとしたセルフアライメントによる裏面露光技術を採用してLDD領域の幅を精密に制御している為、オン電流のばらつきが顕著に抑制できる。

#### 【図面の簡単な説明】

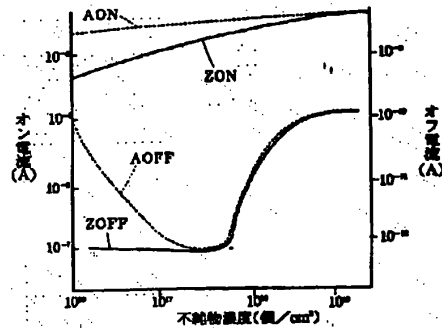
【図1】本発明にかかる薄膜トランジスタの最良な実施形態を示す断面図である。

【図2】薄膜トランジスタにおけるLDD領域の不純物濃度とオン電流及びオフ電流との関係を示すグラフである。

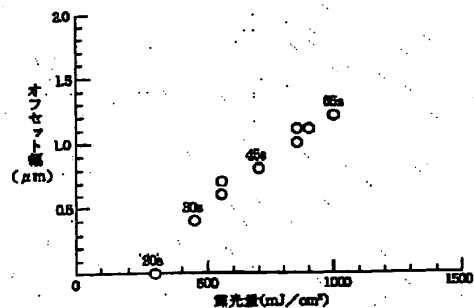
【図1】



【図2】



【図3】



る。【図3】ゲート電極をマスクとした裏面露光における露光量とオフセット幅との関係を示すグラフである。

【図4】本発明にかかる薄膜トランジスタ製造方法の一実施例を示す工程図である。

【図5】図4に示した工程に従って製造された表示用薄膜半導体装置の完成状態を示す断面図である。

【図6】図5に示した表示用薄膜半導体装置を駆動基板として組み立てたアクティブマトリクス型表示パネルの一例を示す斜視図である。

【図7】本発明にかかる薄膜トランジスタ製造方法の他の実施例を示す工程図である。

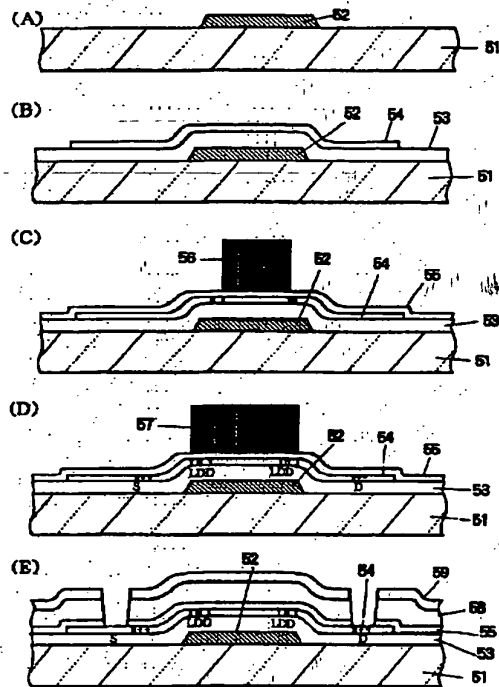
【図8】本発明にかかる薄膜トランジスタ製造方法の別の実施例を示す断面図である。

#### 【符号の説明】

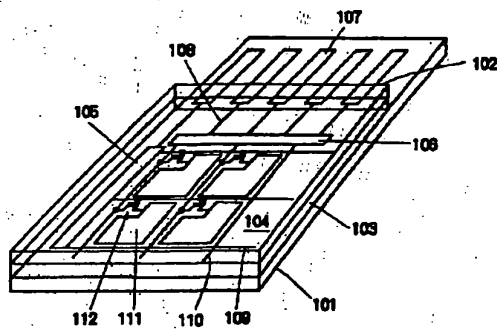
- 1 半導体薄膜
- 2 ゲート電極
- 3 ゲート絶縁膜
- 4 チャンネル領域
- 5 高濃度不純物領域
- 6 低濃度不純物領域
- 7 絶縁基板

【图4】

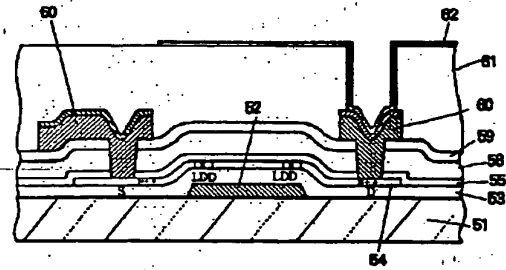
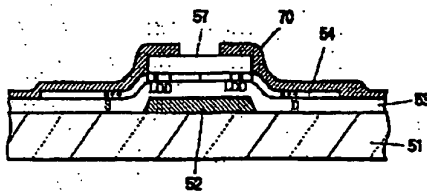
**BEST AVAILABLE COPY** [X 5]



【图6】



【图8】



【図 7】

